

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-115297

(43)Date of publication of application : 02.06.1986

(51)Int.Cl. G11C 17/00
G06F 12/14

(21)Application number : 59-236844

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 12.11.1984

(72)Inventor : KAWASAKI RYOJI
MONMA KOJI

(54) MEMORY CIRCUIT

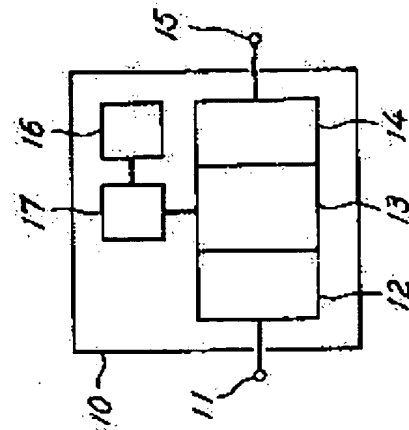
(57)Abstract:

PURPOSE: To stop the function of electronic device at a proper time in case when the reliability of the result is not maintained because of error action, etc., by providing a circuit to write the data specified in advance by read only memory part and drive signal at the memory part, or to delete the data already written.

CONSTITUTION: When an address specification signal is supplied to an input terminal 11, a decoder 14 decodes it and reads the contents of a memory element 13, and outputs from output terminal 15 through an output buffer 14. Here, a timer part 16 count the clock pulse, and after an elapse of a specified time, it drives data writing part 17 and writes '0' on a memory element 13.

By this process, a part or the whole of memory contents is deleted. In this way, after the elapse of a specified time, this memory circuit loses its original function.

Therefore, by setting the time of the timer part 16 at any necessary value, the life time of this memory can be determined optionally.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-115297

⑬ Int. Cl.⁴

G 11 C 17/00
G 06 F 12/14

識別記号

101

庁内整理番号

6549-5B
B-7737-5B

⑭ 公開 昭和61年(1986)6月2日

審査請求 有 発明の数 2 (全4頁)

⑮ 発明の名称 記憶回路

⑯ 特 願 昭59-236844

⑰ 出 願 昭59(1984)11月12日

⑱ 発 明 者 川 崎 良 治 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気
通信研究所内

⑲ 発 明 者 門 馬 宏 二 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気
通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 本 間 崇

明 細 書

1. 発明の名称

記憶回路

2. 特許請求の範囲

(1) 通常読み出し専用に用いる記憶部と、駆動信号を与えられたとき該記憶部に予め定められた特定データを書き込むかあるいはすでに書き込まれているデータを消去する回路とを有することを特徴とする記憶回路。

(2) 駆動信号は内蔵するタイマの出力より得るごとく構成した特許請求の範囲第(1)項記載の記憶回路。

(3) 駆動信号は内蔵する無線受信機の出力より得るごとく構成した特許請求の範囲第(1)項記載の記憶回路。

(4) 通常読み出し専用に用いる記憶部と、与えられた制御信号により該記憶部に記憶されているデータの読み出しあるいはその出力を行なうか行なわないかを制御する回路とを有することを特徴とする記憶回路。

(5) 制御信号は内蔵するタイマの出力より得るごとく構成した特許請求の範囲第(4)項記載の記憶回路。

(6) 制御信号は内蔵する無線受信機の出力より得るごとく構成した特許請求の範囲第(4)項記載の記憶回路。

(7) 制御信号により、記憶部周辺回路への電源供給を制御するごとく構成した特許請求の範囲第(4)項ないし第(6)項のいずれかに記載の記憶回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、外部から与えた信号等により記憶内容の読み出しを不可読にしたり、あるいは可能にしたりすることのできる読み出し専用の記憶部からなる記憶回路に関するものである。

(従来の技術)

第1図は、従来の読み出し専用の記憶回路の例を示す図である。

第1図において、入力端子1からアドレス指

定信号を加えると、デコーダ2でこれを解読して、記憶素子3の該当するアドレスの内容を読み取り、出力バッファ4を介して出力端子5に出力する。

このような記憶回路は、一般の電子装置などに組み込まれ、その装置の制御ソフトウェアや装置識別番号などを記憶させたり、あるいは第2図のように無線区間等を介して接続された装置6および7で構成される方式において互いに正規の通信相手であることを確認するために装置識別番号を記憶させ、この識別番号が一致した場合のみ通信を行なうようにするなど、これらの装置を動作させるための制御手順において重要な役割を果たす回路として広く使用されている。

(発明が解決しようとする問題点)

上述したような記憶回路を有する電子装置において、該電子装置の所定の使用期間(例えば装置の使用認定期間)が過ぎたり、または、それ以上動作を継続すると、誤動作などにより結

果の信頼性が保てないような場合などに、該電子装置の記憶回路の機能をその時点で停止させたいという要求を生ずることがある。

従来このようなとき、該電子装置の記憶回路の動作を停止せしめることの可能な簡便な手段がなかった。

また、動作を停止している電子装置を再び機能させようとするとき、これを実現し得る簡便な手段がないという問題点があった。

本発明は、前記問題点を解決するために、一定時間が経過するか、もしくは外部から制御信号が加えられたときに読み出し専用の記憶部の内容を消去するか、または読み出し不能としたり、あるいは再び読み出しを可能とすることのできる記憶回路を提供することを目的としている。

以下、本発明の構成等に関し実施例の図面に基づいて説明する。

(実施例)

第3図は、本発明の第1の実施例のブロック

図であって、10は読み出し専用の記憶回路、11は入力端子、12はデコーダ、13は記憶素子、14は出力バッファ、15は出力端子、16は内蔵するクロック源または外部クロック源からのクロックパルスを計数するカウンタから成るタイマー部、17はデータ書き込み部である。

第3図の動作を説明すると、入力端子11からアドレス指定信号を加えると、デコーダ12でこれを解読して、記憶素子13の内容を読み取り、これを出力バッファ14を介して出力端子15に出力する。ここで、タイマー部16はクロックパルスを計数し、一定時間が経過したときにデータ書き込み部17を駆動して記憶素子13に“0”を書き込むことにより記憶内容の一部または全てを消去する。これにより、一定時間が経過した後では、この記憶回路は本来の機能を有しないこととなる。

従って、タイマー部16の時間を必要な値に設定することによりこの記憶回路の寿命を任意

に設定することができる。

また、一度消去した記憶内容を再び復旧させたいとき、あるいは他の情報に書き替えるなどの必要があるときは、データ書き込み部に所定の時間が経過したときのタイマー部の出力を受けて、予め定められているデータを記憶部に書き込む機能を付加することにより実現することができる。

第4図は本発明の第2の実施例のブロック図であって、20は読み出し専用の記憶回路、21は入力端子、22はデコーダ、23は記憶素子、24は出力バッファ、25は出力端子、26は読み出し用ゲート、27は読み出し用ゲートを制御するための制御端子である。

第4図の動作を説明すると、入力端子21からアドレス指定信号を加えると、デコーダ22でこれを解読して、記憶素子23の内容を読み取り、出力バッファ24を介して記憶内容を出力端子25に出力する。ここで、制御端子27に制御信号がない間は読み出し用ゲート26は

図いているが制御端子27に制御信号が加わると、以降読み出し用ゲート26が閉じて記憶内容を外部から読み出すことが不可能となる。これにより、この記憶回路は本来の機能を有しないこととなる。従って制御端子27に制御信号を加える時間の設定によりこの記憶回路の寿命を任意に制御することができる。

また、再び記憶内容を外部から読み出す必要が生じたときには制御端子28に制御信号を加えることにより、ゲート28を開くことができるので、これにより再び記憶内容を外部から読み出すことが可能になる。

なお、読み出し用ゲート26とそれを制御するための制御端子27、28は入力側に設けてもよい。

第5図は本発明の第3の実施例であって、読み出し専用の記憶回路30が無線装置40に組み込まれている。41はアンテナ、42は受信部である。また、31は入力端子、32はデコーダ、33は記憶素子、34は出力バッファ、

35は出力端子、43は読み出し用ゲート回路、37は回路43を制御するための制御端子である。

第5図の動作を説明すると、入力端子31からアドレス指定信号を加えると、デコーダ32でこれを解読して、記憶素子33の内容を読み取り、出力バッファ34を介して記憶内容を出力端子35に出力する。ここで、制御端子37に制御信号がない間は正常に出力端子35から記憶内容を読み出すことができるが、無線装置の外部から電波で送られてきた制御信号が受信部42により検出されて制御端子37に加えられると読み出し用ゲート回路43が閉じて記憶内容を外部から読み出すことを不可能にするため、以降この記憶回路は本来の機能を有しないこととなる。

従って制御信号を電波に乗せてアンテナ41に向けて発射する時間の設定によりこの記憶回路の寿命を任意に設定することができる。

本実施例は無線装置の内部に記憶回路を有す

るものについて説明しているが、特許請求の範囲図(3)項および第(6)項に記載した実施態様のごとく、記憶回路に小形の無線受信機を内蔵せしめる構成を採ることもできる。

(発明の効果)

以上説明したように、本発明の記憶回路は内蔵するタイマや外部からの信号等により、その記憶された情報の読み出しを不可能にしたり、再び読み出し得るようにしたりすることが容易に行なえる。

従って、これを組み込んだ電子装置等においては、所定の使用期間(例えば装置の使用基定期間)が過ぎたり、または、それ以上動作を継続すると、誤動作などにより結果の信頼性が保てない場合などに、該電子装置の機能を適切な時期に停止せしめたり、また、条件が整ったときに再びこれを機能させることなどを可能にすることができるという利点を有する。

4. 図面の簡単な説明

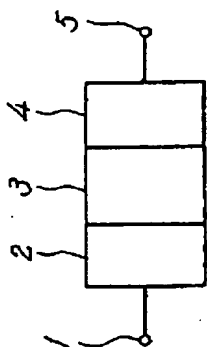
第1図は従来の読み出し専用の記憶回路の例

を示す図、第2図は無線区間等を介して接続された装置で構成される方式を説明する図、第3図は本発明の第1の実施例のブロック図、第4図は本発明の第2の実施例のブロック図、第5図は本発明の第3の実施例のブロック図である。

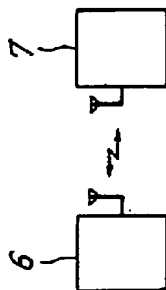
1、11、21、31 …… 入力端子、
2、12、21、22、32 …… デコーダ、
3、13、23、33 …… 記憶素子、 4、
14、24、34 …… 出力バッファ、 6、
7 …… 無線区間等を介して接続された装置、
5、15、25、35 …… 出力端子、 16
…… タイマ部、 17 …… データ書き込み部、
26、43 …… 読み出し用ゲート、
27、28、37 …… 読み出し用ゲートを制御するための制御端子、 10、20、30 …… 読み出し専用の記憶回路、 40 …… 無線装置、 41 …… アンテナ、 42 …… 受信部

代理人 弁理士 本 間 康

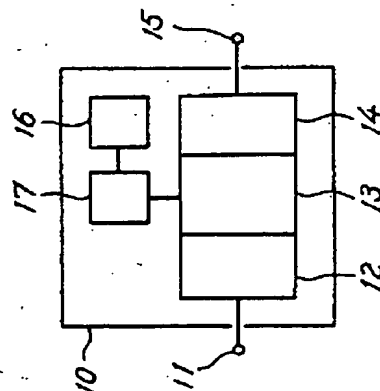
第 1 図



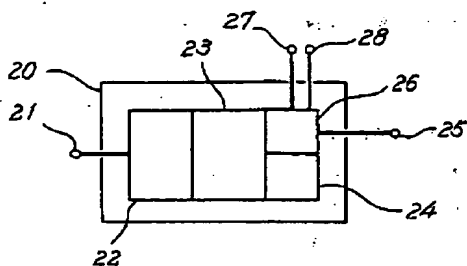
第 2 図



第 3 図



第 4 図



第 5 図

